

108 年度經濟部工業局

「智慧電子學院計畫-中華大學先進製程積體電路佈局工程師人才養成班(一)」 招生簡章

一、參與單位：

經濟部工業局廣告

1. 主辦單位：經濟部工業局
2. 承辦單位：財團法人資訊工業策進會
3. 開班單位：中華大學 新竹市香山區五福路二段 707 號
連絡人：電子工程學系助理 林小姐 電話：03-5186890

二、開課資料：

班別名稱	時數	自繳費用	訓練期間	上課時間	上課時數
中華大學先進 製程積體電路 佈局工程師 人才養成班 (一) (金芯科技企業 新招募人員班)	402 小時	自繳費用 50,000 元 工業局補助 50,000 元	108/3/04- 108/7/01	每週(一、三、五) 09:00-18:00 (每日上課8小時) ※實際上課時間課程內容、講師， 執行單位皆保有最後微調權利。	基礎課程：50小時 核心課程：72 小時 實務課程：280 小時

※ 課程費用與獎助辦法：

1. 學員自費 50,000 元，工業局補助 50,000 元整(總學費 100,000 元，工業局補助 50%)。
2. 特殊身份者(身心障礙、原住民、低收入戶或中堅企業員工)自費新台幣 30,000 元整(工業局補助 70%)。
3. 報名時毋需繳交費用，待正式錄取後再行通知費用繳交時間。
4. 學員通過考核結訓後於金芯科技任職滿 24 個月者，金芯科技補貼自繳費用。
5. 通過面試者，金芯科技提供簽約金 10,000 元的簽約機會補貼學費，是年後轉職就業的好機會。

三、課程簡介

項目	課程大綱	時數	課程內容(小時)
基礎課程	1. 基礎電子學	30	1. 單位(科學符號表示法、電阻、電容、電感的計量單位) 2. 元件介紹(電阻、電容、電感、PMOS、NMOS、BJT) 3. 基本電學 4. MOS 元件模型與特性(MOS Device Model/Behavior, CMOS Inverter - DC/AC Characteristics) 5. 電路特性與性能評估(RC model, Power Dissipation, Fan-in/Fan-out Issues)

	2. 基礎半導體製程與元件	20	1. CMOS 製程原理與佈局關聯性(Device/ Mask/Process/Layout, Layout of static CMOS circuit for basic gates (Inverter/ NAND/ NOR)) 2. 元件結構與剖面圖(Cross-Sections) 3. EMI 現象解決方法 4. 天線效應(Antenna Effect) 5. 電致遷移效應(EM)
核心課程	1. VLSI 設計概論	10	1. Introduction to VLSI Circuits and Systems 2. CMOS Design Methods 3. IC 設計方法(Full-custom, semi-custom, gate-arrays) 4. IC 設計流程(Design flow) 5. Crosstalk and Noise 6. HSPICE 簡介
	2. 積體電路實體設計	10	1. 佈局觀念與技巧(佈局的總體設計, 工程的佈局規劃, 設計規則的介紹, 標準元件的佈局設計, 棒狀圖(stick diagram) 2. 佈局考量(晶片良率(Yield), Bonding Pads, Power and Clock Distribution, 栓鎖效應(Latch-Up))
	3. 數位積體電路設計	10	1. 邏輯閘(Logic Gates) 2. Boolean Algebra 3. Combinational Logic 4. Sequential Elements and Circuits
	4. 類比積體電路後段設計	6	1. Integrated Circuits Devices and Modeling 2. R/L/C and MOS Matching Layout 3. Current/Voltage References Design 4. CMOS Amplifiers Design 5. Operational Amplifiers Design
	5. ESD 靜電防護	10	1. 靜電放電 ESD 的模式和工業測試標準 2. 靜電放電 ESD 防護設計概念 3. 靜電放電 ESD 防護技術方法
	6. UNIX/Linux 作業系統	4	1. Unix/Linux 指令操作 2. EDA 操作設立環境 3. Reference Library
	7. 佈局專案規劃課程	10	1. Floorplan (Chip Area 預估) 2. Powerplan 3. Clock Tree 4. RC Delay 5. Proposal、Schedule、Team Work、開會技巧、簡報技巧

	8. 先進製程	4	1. FinFET 製程介紹(3) 2. Length of Diffusion(LOD) Effect 3. Well Proximity Effect (WPE)
	8. 記憶體概論	10	1. 記憶體工作原理 2. 記憶體電路設計 3. 記憶體技術 4. 記憶體佈局設計
實 作 課 程	1. 軟體工具實作	68	1. Layout Tool(Cadence Virtuoso, 建立 Library/Cell, 編輯指令, 佈局線上驗證, 光罩 GDSII 格式輸出與轉換)(12) 2. Command file (Design rule, 轉換 DRC、LVS command file, 轉換佈局編輯器 Technology File 格式)(8) 3. 佈局驗證 (DRC、LVS, DRC/LVS command file, Run Hierarchy & Flatten mode) (16) 4. Analog/RF 基本佈局(含 PDK 介紹)(16) 5. 電路佈置圖(Schematic), 電路模擬(Spice), 佈局驗證(含 IR Drop)(16)
	2. Cell-Based 佈局設計	24	1. Cell Library 設計 2. 基本邏輯閘佈局(INVERTER、NAND、NOR、DFF)
	3. IC 佈局設計能力鑑定證照	40	1. 學科線上測驗 2. 術科綜合演練
	4. 專題製作	144	1. OP 佈局實作(8) (採用 110 nm 佈局方法) 2. 低壓差線性穩壓器 Low Drop Out (LDO) Regulators 佈局實作(48) (採用 110 nm 佈局方法) 3. SRAM 佈局實作(40) (採用 55 nm 佈局方法) 4. ADC 佈局實作(24) (採用 28 nm 佈局方法) 5. FinFET 佈局實作(24) (採用 16 nm 佈局方法)
	性別主流化暨職場倫理及就業輔導講座	2	1. 兩性平權與性別主流化 2. 職場倫理 (智慧電子學院網路學習平臺線上課程)
合計		402	

四、課程師資：

由中華大學電子系師資及具佈局實務經驗之業界人士授課。

五、報名資格：

符合下列資格之一者(無就業意願者，請勿報名):

1. 大專以上電子電機相關科系。
2. 大專以上學歷不限科系或應屆畢業者，有意願投入智慧電子產業，長期從事 IC 佈局設計工作者。

六、招生名額:

本班僅收 20 人，10 人以上開班，額滿為止。

七、報名方式：請務必先上網填寫報名系統：<https://goo.gl/forms/2iJQljrNyXd4jvDq2>，即日起至 108 年 2 月 27 日(二)15:00 截止(依實際錄取繳費情形調整時間)。

甄試應繳證件：請詳細填寫學員報名表(附件一)及受訓學員訪談表(面試現場填寫)，並繳交二吋相片 2 張，畢業證書影本、身份證影本、最高學歷在校成績單及其他有利審查資料，請面試時現場繳交。

八、甄試時間：提供四個時段考生請擇一參加：

108 年 2 月 01 日(五)或 108 年 2 月 15 日(五)或 108 年 2 月 20 日(三)或 108 年 2 月 25 日(一) 上午 10 時整 至中華大學參加面試，通過後於正式上課前繳交課程費用。

甄試地點：中華大學校本部工程一館 E503 報到，依到場順序口試。

榜示日期：每場面試結束後隔天上午 09:00 前中華大學電子工程學系首頁網站
(<http://el.chu.edu.tw/index.php>)學系訊息或就業資訊公告。

九、報到方式及證件審核：

1. 報到時間：108 年 3 月 4 日(一)上午 9:00，於中華大學工程一館樓 E505 電子系專題教室辦理報到手續。
2. 報到時須攜帶最高學歷畢業證書、最高學歷在校成績單(足勘證明之文件即可，不需要正式文件)、近期半身 2 吋相片及相片電子檔。
3. 簽署個資同意書、保密切結書及學員守則切結書各一份。
4. 報到當天因故無法到達者，請於報到日前一天以電話完成請假(須核對相關資料)。
5. 報到當天未完成報到者或是未請假者，視同放棄錄取資格，其資格由備取者遞補，且不得異議，其所繳交之費用依據“退費標準”辦理。

十、退費與結訓標準：

1. 如因故無法開班者，所繳費用全額退還。學員於繳費後上課前退訓者，退還九成之自繳費用；於上課後總時數未逾三分之一者(含)退訓者，退還五成之自繳費用；逾總總時數三分之一者，不退還任何費用。
2. 依經濟部工業局規定，學員完成全期訓練，經測驗合格者，由工業局核發結訓證書。
3. 患有精神官能障礙疾病者，雖經考試錄取或已報到註冊，培訓單位必要時得予退訓。
4. 受訓期間破壞公物或上課秩序，經告誡不聽者，培訓單位必要時得予退訓，並要求賠償。
5. 受訓期間缺課時數達總訓練時數二分之一(含)者，無論缺課理由為何，不發給結訓證書。
6. 退訓或訓練成績不合格者，不發給結訓證書。成績不合格係指受訓期間各科考試(含筆試、實習、課程實作與平常成績)成績按各科時數加權計算，總平均低於六十分(不含)者。

十一、特色：教學環境優良，師資均有良好實務經驗，經驗豐富，口碑良好，成績合格者，通過結訓即就業。

十二、簡章：請上網下載：中華大學電子工程學系(<http://el.chu.edu.tw/index.php>)首頁-就業輔導-經濟部培訓 就業頁面下載。

108 年度經濟部工業局智慧電子學院計畫

「中華大學先進製程積體電路佈局工程師人才養成班」報名表

[illegible]

何處得知 招生訊息 (可複選)	☐ 1. 同事或同業告知、 ☐ 2. 親朋好友告知、 ☐ 3. 公司單位公告、 ☐ 4. 政府單位公告、 ☐ 5. 學校單位公告、 ☐ 6. 培訓單位公告、 ☐ 7. 歷年學員口碑、 ☐ 8. 電子系網頁、 ☐ 9. yes123 網站、 ☐ 10. 報紙-自由時報、 ☐ 11. 報紙-工商 / 經濟日報、 ☐ 12. 報紙-其他、 ☐ 13. 廣播-中廣、 ☐ 14. 廣播-其他、 ☐ 15. 工業局網站、 ☐ 16. 智慧電子學院網站、 ☐ 17. 104 網站、 ☐ 18. Udnjob 網站、 ☐ 19. 其他網站、 ☐ 20. 智慧電子學院 eDM、 ☐ 21. 其他 eDM、 ☐ 22. 其他管道
確定錄取 始得繳費	總金額：50,000 元 日期：民國 108 年 月 日
備 註	1. 結業證書將印製英文姓名，請正確填寫。英文名在前，姓在後，證書英文姓名請使用用拼音，不可用慣用名，及注意大小寫，例如：王小明 Siao-Ming Wang。 2. 報名課程因人數不足或不可抗力因素，將保留不開班之權利，並退還已繳之全額費用。 3. 於開課後，完成報名繳費之學員若因故無法上課者得依下列標準退費： (1) 學員自報名繳費後至實際上課日前退學者，退還已繳學費之 9 成。 (2) 自實際上課之日算起未逾全期三分之一者(含)退還已繳學費之 5 成。 (3) 上課時間已逾全期三分之一者，恕不接受退費申請。 4. 學員上課出席紀錄以課堂簽到/簽退為主，未簽到或簽退者該堂課以缺課論。

※ 報到時需加簽：

個資同意書，保密切結書，學員守則切結書各一份。

※ 「結訓學員應配合經濟部工業局培訓後電訪調查」。